

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 000008933 A  
 (43)Date of publication of application: 15.02.2000

(21)Application number: 980029038  
 (22)Date of filing: 18.07.1998

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72)Inventor: PARK, YEONG MIN

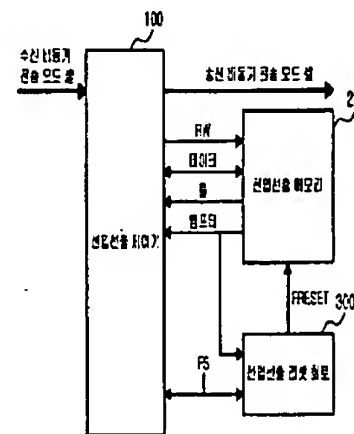
(51)Int. Cl. H04L 12/28  
 H04L 7/00

## (54) RECOVERY CIRCUIT OF SYNCHRONIZATION OF ATM CELL USING FIFO MEMORY

## (57) Abstract:

PURPOSE: A recovery circuit of a synchronization of ATM cell using FIFO memory previously removes improper synchronization due to an error of a cell starting position, prevents that there is an error in a synchronization.

CONSTITUTION: A recovery circuit of a synchronization of ATM cell includes a FIFO memory (200) for storing data, and a FIFO reset circuit(300) for resetting the FIFO memory if there is an error in a synchronization of ATM cell. A FIFO controller(100) receives ATM cell, reads the ATM cell, or writes the ATM cell to the FIFO memory. Thereby, although there is an error in a cell synchronization, this problem is solved after a predetermined time.



COPYRIGHT 2000 KIPO

Legal Status

Final disposal of an application (application)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

H04L 12/28

H04L 7/00

(11) 공개번호 특2000-0008933

(43) 공개일자 2000년02월15일

(21) 출원번호 10-1998-0029038

(22) 출원일자 1998년07월18일

(71) 출원인 삼성전자 주식회사 윤종용

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 박영민

서울특별시 송파구 가락동 479 가락시영아파트103-307

(74) 대리인 김성수

심사청구 : 있음

(54) 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구회로

요약

선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로에 관하여 개시한다. 본 회로는, 비동기 전송 모드 셀을 수신하여 선입선출 메모리에 셀을 읽고 쓰기 위한 기능을 하는 선입선출 제어기, 데이터 저장을 위한 선입선출 메모리 및 비동기 전송 모드 셀의 동기에 오류가 발생한 경우 선입 선출 메모리를 리셋 하는 선입선출 리셋 회로를 포함한다.

도면도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명에 따른 비동기 전송 모드 셀의 동기 복구 회로도.

도 2 는 본 발명에 따른 선입선출 리셋 회로도.

<도면의 주요부분에 대한 부호의 설명>

100 : 선입선출 제어기

200 : 선입선출 메모리

300 : 선입선출 리셋 회로

400 : N-비트 계수기

500 : 비교기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 선입선출(First-In First-Out : FIFO) 메모리를 이용한 비동기 전송 모드(Asynchronous Transfer mode : ATM) 셀의 동기 복구 회로에 관한 것으로서, 특히 비동기 전송 모드 셀을 선입선출 메모리에 저장한 후 전송하는 시스템에서 셀의 시작 위치에 오류가 발생하여 동기가 맞지 않는 문제가 발생할 경우, 이를 사전에 제거하여 동기에 오류가 발생하지 않도록 하는 회로에 관한 것이다.

일반적으로, 비동기 전송 모드 셀은 송신 측에서 수신 측으로 보내는 모든 정보를 48 바이트씩 나누고, 수신처 레이블(Label) 정보인 5 바이트의 헤더(Header)를 덧붙여, 합계 53 바이트의 고정 길이를 갖는다.

상기와 같은 비동기 전송 모드 셀을 선입선출 메모리에 저장하여 전송할 때, 전송해야 할 순간이 오면 선입선출 메모리에서 53 바이트의 데이터를 읽어서 전송하게 된다.

이때, 만약 시스템의 불안정이나 선입선출 메모리의 불안정으로 셀의 내용중 1 바이트라도 오류가 발생하여 잘못 삽입되거나 삭제된 경우에는 이후로 전송되는 모든 셀의 동기에 오류가 발생하여 올바른 셀 처리를 할 수가 없게된다.

이것을 막기 위해 셀을 전송하기 전에 53 바이트의 셀 전체를 검사할 경우, 검사 회로가 추가되어야 하고 막대한 시간을 낭비하게 되는 문제점이 발생한다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명은 상기된 바와 같은 문제점을 해결하기 위하여 창안된 것으로, 비동기 전송 모드 셀을 선입선출 메모리를 이용하여 저장한 후 송신하는 시스템에 이상이 생겨 셀의 초기 위치가 바뀔 경우 이를 다시 복구하는, 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로를 제공하는 것을 목적으로 한다.

본 발명의 상기 및 그 밖의 다른 목적과 새로운 특징에 대해서는 아래의 발명의 상세한 설명을 읽고 아래의 도면을 참조하면 보다 명백해질 것이다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 창안된 본 발명에 따른 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로의 바람직한 실시예는, 비동기 전송 모드 셀을 수신하여 선입선출 메모리에 셀을 읽고 쓰기 위한 기능을 하는 선입선출 제어기, 데이터 저장을 위한 선입선출 메모리, 및 상기 비동기 전송 모드 셀의 동기 오류가 발생한 경우 상기 선입선출 메모리를 리셋 하는 선입선출 리셋 회로를 포함한다.

본 실시예에 있어서, 상기 선입선출 리셋 회로는, 일정한 주기로 상기 선입선출 메모리를 검사하고, 일정 시간 동안 상기 선입선출 메모리가 비어 있지 않고 계속해서 1 바이트 이상 저장되어 있는 경우, 상기 선입선출 메모리에 강제로 리셋 신호를 가하여 초기화하는 것이 바람직하며, 상기 선입선출 리셋 회로는, 프레임 스타트 신호가 상승에지일 때 계수를 하나씩 증가시키고, 상기 선입선출 메모리의 엠프티 신호로 리셋 되는 계수기, 및 상기 하나씩 증가되는 계수기의 출력과 사용자가 임의로 설정한 값을 비교하여 상기 계수기의 출력이 사용자가 임의로 설정한 값과 같아지게 되면, 상기 선입선출 메모리를 리셋 시키는 신호를 인에이블 시키는 비교기로 이루어지는 것이 바람직하다.

또한 본 실시예에 있어서, 상기 프레임 스타트 신호는, 시스템에서 일정한 주기로 발생한 동기 신호로, 상기 선입선출 제어기에서 비동기 전송 모드 셀을 읽기 위한 주기를 결정하는 것이 바람직하다.

본 발명은 일정한 주기로 선입선출 메모리를 검사하고, 일정 시간 동안 선입선출 메모리가 비어 있지 않고 계속해서 1 바이트 이상 저장되어 있는 경우, 선입선출 메모리에 강제로 리셋 신호를 가하여 선입선출 메모리를 초기화하는 회로를 구성하여, 현재 선입선출 메모리에 남아 있는 일부 데이터가 손실되더라도 그 이후의 데이터에 대해서는 오류를 방지하도록 한다.

이하, 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

도 1은 비동기 전송 모드 셀 동기 문제 해결을 위한 회로도이다. 본 발명은 도 1과 같이 비동기 전송 모드 셀을 수신하여 선입선출 메모리에 셀을 읽고 쓰는 기능을 하는 선입선출 제어기(100), 데이터 저장을 위한 선입선출 메모리(200), 그리고 동기 오류 문제를 해결하기 위한 선입선출 리셋 회로(300)로 구성된다.

선입선출 제어기(100)는 비동기 전송 모드 셀을 입력으로 받아 선입선출 메모리(200)가 풀(Full)이 되지 않았을 경우(풀=1)에, RW(Read/Write) 신호를 '0'으로 두고 데이터 단자(DATA Port)를 사용하여 입력 셀을 선입선출 메모리(200)에 저장한다.

선입선출 제어기(100)와 선입선출 리셋 회로(300)사이의 프레임 스타트(Frame Start : 이하 FS라 칭한다) 신호는 시스템에서 일정한 주기로 발생한 동기 신호로써 대부분의 시스템에서 제공된다. 이 FS를 사용함으로써 선입선출 제어기(100)에서 비동기 전송 모드 셀을 읽기 위한 주기를 결정한다. 이때 한 개의 비동기 전송 모드 셀을 읽어낼 순간 엠프티(Empty)가 '1'(즉, 선입선출 메모리가 비어있지 않은 경우)이면 RW 신호를 '1'로 두고 선입선출 메모리(200)에서 53 바이트를 읽어 전송한다.

선입선출 리셋 회로(300)는 FS를 주기적으로 검사하여 일정 시간 동안 계속해서 선입선출 메모리(200)가 비어있지 않을 경우에는 FRESET에 '0'을 주어 강제로 선입선출 메모리(200)를 초기화시킨다. 여기서, FRESET는 일정 시간 동안 선입선출 메모리가 비어있지 않고 계속해서 1 바이트 이상 저장되어 있는 경우, 선입선출 메모리를 강제로 초기화하여 동기를 맞추기 위한 리셋신호를 말한다.

본 발명의 핵심 역할을 하는 상기 선입선출 리셋 회로(300)의 구성은 도 2와 같이 N-비트 계수기(N-bit Counter)(400)와 비교기(500)로 이루어져 있으며, 그 기능은 다음과 같다.

N-비트 계수기(400)에서 N은 선입선출 메모리(200)가 얼마동안 계속해서 비어있지 않을 때 선입선출 메모리(200)를 리셋 시킬 것인가를 결정한다.

N-비트 계수기(400)는 '0'부터 '2<sup>N</sup>-1'까지 동작하는 계수기로서, 선입선출 메모리(200)로부터 나온 엠프티 값이 '0'이면 엠프티 신호를 클리어(Clear) 신호로 사용한다. 즉 선입선출 메모리(200)가 비어있게 되면 N-비트 계수기(400)는 다시 '0'이 된다. 따라서 엠프티 값이 0이 아니고, FS 신호가 상승에지일 때 N-비트 계수기(400)가 하나씩 증가된다.

비교기(500)는 하나씩 증가되는 N-비트 계수기(400)의 값을 사용자가 임의로 설정한 값과 비교하여 그 값이 동일하게 되면, 강제로 FRESET 신호를 인에이블(enable)시켜 선입선출 메모리(200)를 초기화하도록 한다.

본 발명은 다양하게 변형될 수 있고, 여러 가지 형태를 취할 수 있지만, 상기 발명의 상세한 설명에서는 그에 따라 특별한 실시예에 대해서만 기술하였다. 하지만, 본 발명은 명세서에서 언급된 특별한 형태로 한정되는 것이 아닌 것으로 이해되어야 하며, 오히려 본 발명은 첨부된 청구범위에 의해 정의된, 본 발명

의 정신과 범위 내에 있는 모든 변형물, 균등물 및 대체물을 포함하는 것으로 이해되어야 한다.

### 발명의 효과

상기와 같이 동작하는 본 출원에 있어서, 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명하면 다음과 같다.

본 회로를 사용함으로써, 시스템의 오류가 발생하여 셀의 동기 오류가 발생하더라도 일정 시간 이후에는 반드시 동기 문제를 해결할 수 있다.

### (57) 청구의 범위

청구항 1. 비동기 전송 모드 셀을 수신하여 선입선출 메모리에 셀을 읽고 쓰기 위한 기능을 하는 선입선출 제어기;

데이터 저장을 위한 선입선출 메모리; 및

상기 비동기 전송 모드 셀의 동기에 오류가 발생한 경우, 상기 선입선출 메모리를 리셋하는 선입선출 리셋 회로를 포함하는, 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로.

청구항 2. 제 1 항에 있어서, 상기 선입선출 리셋 회로는,

일정한 주기로 상기 선입선출 메모리를 검사하고, 일정 시간동안 상기 선입선출 메모리가 비어 있지 않고 계속해서 1 바이트 이상 저장되어 있는 경우, 상기 선입선출 메모리에 강제로 리셋 신호를 가하여 초기화하는, 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로.

청구항 3. 제 2 항에 있어서, 상기 선입선출 리셋 회로는,

프레임 스타트 신호가 상승 에지일때, 계수를 하나씩 증가시키고, 상기 선입선출 메모리의 엠프티 신호로 리셋되는 계수기; 및

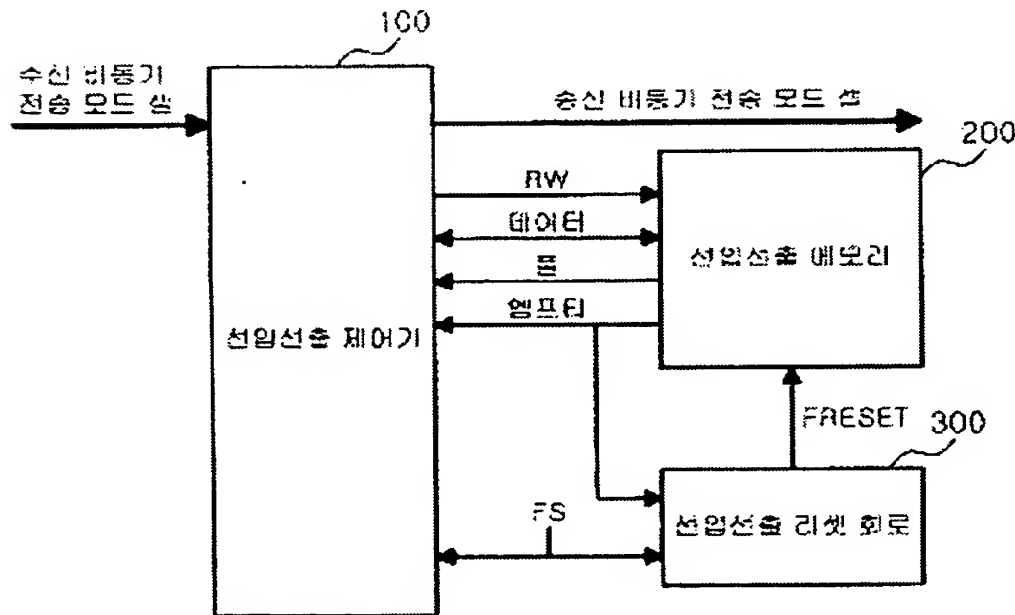
상기 하나씩 증가되는 계수기의 출력과 사용자가 임의로 설정한 값을 비교하여 상기 계수기의 출력이 사용자가 임의로 설정한 값과 같아지게 되면, 상기 선입선출 메모리를 리셋시키는 신호를 인에이블시키는 비교기로 이루어지는, 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로.

청구항 4. 제 3 항에 있어서, 상기 프레임 스타트 신호는,

시스템에서 일정한 주기로 발생한 동기신호로, 상기 선입선출 제어기에서 비동기 전송 모드 셀을 읽기 위한 주기를 결정하는, 선입선출 메모리를 이용한 비동기 전송 모드 셀의 동기 복구 회로.

도면

도면1



도 2

